

**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Koji YAMAGUCHI

Application No.: 10/753,360

Filed: January 9, 2004

Docket No.: 118290

For: SEMICONDUCTOR DEVICE, SEMICONDUCTOR MODULE, ELECTRONIC EQUIPMENT, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR MODULE

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-007770, filed January 16, 2003.

In support of this claim, a certified copy of said original foreign application:

is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff  
Registration No. 27,075

Eric D. Morehouse  
Registration No. 38,565

JAO:EDM/gam

Date: January 28, 2004

OLIFF & BERRIDGE, PLC  
P.O. Box 19928  
Alexandria, Virginia 22320  
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE  
AUTHORIZATION  
Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月 16日

出願番号 Application Number: 特願 2003-007770

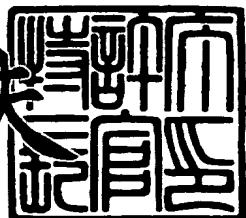
[ST. 10/C]: [JP 2003-007770]

出願人 Applicant(s): セイコーエプソン株式会社

2004年 1月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願  
【整理番号】 J0094899  
【提出日】 平成15年 1月16日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 25/07  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
【氏名】 山口 浩司  
【特許出願人】  
【識別番号】 000002369  
【氏名又は名称】 セイコーエプソン株式会社  
【代理人】  
【識別番号】 100066980  
【弁理士】  
【氏名又は名称】 森 哲也  
【選任した代理人】  
【識別番号】 100075579  
【弁理士】  
【氏名又は名称】 内藤 嘉昭  
【選任した代理人】  
【識別番号】 100103850  
【弁理士】  
【氏名又は名称】 崔 秀▲てつ▼  
【手数料の表示】  
【予納台帳番号】 001638  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体モジュール、電子機器、半導体装置の  
製造方法および半導体モジュールの製造方法

【特許請求の範囲】

【請求項1】 半導体チップの主面上に形成された配線層と、  
前記配線層に接続され、前記半導体チップの側壁に形成された層間接続用導電  
層とを備えることを特徴とする半導体装置。

【請求項2】 半導体チップの主面上に形成された電極パッドと、  
前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面  
に形成された溝と、  
前記溝内に充填された導電層と、  
前記電極パッドと前記導電層とを接続する配線層とを備えることを特徴とする  
半導体装置。

【請求項3】 積層された半導体チップと、  
前記半導体チップの側壁にそれぞれ形成され、前記半導体チップ間の層間接続  
を行う導電層と、  
前記半導体チップの主面上にそれぞれ形成され、前記導電層に接続された配線  
層とを備えることを特徴とする半導体モジュール。

【請求項4】 積層された半導体チップと、  
前記半導体チップの主面上にそれぞれ形成された電極パッドと、  
前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面  
にそれぞれ形成された溝と、  
前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、  
前記電極パッドと前記導電層とそれぞれを接続する配線層とを備えることを特  
徴とする半導体モジュール。

【請求項5】 積層された半導体チップと、  
前記半導体チップの主面上にそれぞれ形成された電極パッドと、  
前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面  
にそれぞれ形成された溝と、

前記電極パッドと前記導電層とをそれぞれを接続する配線層と、  
前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置され  
たピン状端子と、

前記ピン状端子が立てられたインターポーザ基板と、  
前記ピン状端子を介して前記溝内に充填された導電層とを備えることを特徴と  
する半導体モジュール。

**【請求項6】** 前記半導体チップは、絶縁性樹脂を介して積層されているこ  
とを特徴とする請求項3～5のいずれか1項記載の半導体モジュール。

**【請求項7】** 配線層が主面上に形成されたインターポーザ基板と、  
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップ  
と、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ  
基板の側壁に形成された溝と、

前記溝内に充填された導電層とを備えることを特徴とする半導体モジュール。

**【請求項8】** 積層されたインターポーザ基板と、  
前記インターポーザ基板の主面上に形成された配線層と、  
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップ  
と、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ  
基板の側壁に形成された溝と、

前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、  
前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部  
とを備えることを特徴とする半導体モジュール。

**【請求項9】** 開口部が形成された中間基板と、  
前記中間基板を介して積層されたインターポーザ基板と、  
前記インターポーザ基板の主面上に形成された配線層と、  
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップ  
と、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ

基板の側壁に形成された第1の溝と、

前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第2の溝と、

前記第1および第2の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層とを備えることを特徴とする半導体モジュール。

【請求項10】 積層された半導体チップと、

前記半導体チップの主面上にそれぞれ形成された電極パッドと、

前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、

前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、

前記電極パッドと前記導電層とそれぞれを接続する配線層と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項11】 積層された半導体チップと、

前記半導体チップの主面上にそれぞれ形成された電極パッドと、

前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、

前記電極パッドと前記導電層とをそれぞれを接続する配線層と、

前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、

前記ピン状端子が立てられたインターポーザ基板と、

前記ピン状端子を介して前記溝内に充填された導電層と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項12】 積層されたインターポーザ基板と、

前記インターポーザ基板の主面上に形成された配線層と、

前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、

前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、  
前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

**【請求項13】** 開口部が形成された中間基板と、  
前記中間基板を介して積層されたインターポーザ基板と、  
前記インターポーザ基板の主面上に形成された配線層と、  
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された第1の溝と、

前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第2の溝と、

前記第1および第2の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

**【請求項14】** 半導体ウェハの切断線上に貫通孔を形成する工程と、  
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、  
前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体装置の製造方法。

**【請求項15】** 配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、

前記掘り込み部内に絶縁膜を形成する工程と、  
前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、

前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、  
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、  
前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体装置の製造方法。

**【請求項16】** 半導体チップの側壁に導電層を形成する工程と、  
前記半導体チップの側壁に形成された導電層を介して層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

**【請求項17】** 半導体ウェハの切断線上に貫通孔を形成する工程と、  
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、  
前記切断により形成された半導体チップを積層する工程と、  
前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体モジュールの製造方法。

**【請求項18】** 半導体ウェハの切断線上に貫通電極を形成する工程と、  
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、  
前記切断により分割された貫通電極を介して、前記切断により形成された半導体チップの層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

**【請求項19】** 配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、  
前記掘り込み部内に絶縁膜を形成する工程と、  
前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、  
前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、  
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、  
前記切断により形成された半導体チップを積層する工程と、  
前記切断により分割された貫通孔に導電層を充填する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 20】 半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内にピン状端子がはめ込まれるようにして、前記ピン状端子が立てられたインターポーザ基板上に半導体チップを積層する工程と、前記分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 21】 側壁に溝が形成され、裏面に凹部が形成されたインターポーザ基板上に半導体チップを実装する工程と、上層に積層されるインターポーザ基板の凹部に前記半導体チップが収まるようにして、半導体チップが実装されたインターポーザ基板を積層する工程と、前記インターポーザ基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 22】 側壁に溝が形成されたインターポーザ基板上に半導体チップを実装する工程と、正面に開口部が形成され、側壁に溝が形成された中間基板を介して、前記半導体チップが実装されたインターポーザ基板を積層する工程と、前記インターポーザ基板および前記中間基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置、半導体モジュール、電子機器、半導体装置の製造方法および半導体モジュールの製造方法に関し、特に、半導体チップの積層構造における層間接続方法に適用して好適なものである。

##### 【0002】

##### 【従来の技術】

従来の半導体装置では、半導体チップの積層構造を実現するため、ドライエッ

チングを用いることで、半導体基板に貫通孔を形成し、その貫通孔に埋め込まれた貫通電極を介して半導体基板間の層間接続を行う方法があった。

図14、15は、従来の半導体モジュールの製造方法を示す断面図である。

#### 【0003】

図14 (a)において、半導体基板101の能動面101'にはパッド電極102が形成されている。そして、例えば、フォトリソグラフィー技術およびドライエッチング技術を用いることにより、パッド電極102を介して掘り込み部103を半導体基板101に形成する。

ここで、半導体基板101の厚みT11は、例えば、6インチウェハを用いた場合、 $625\mu\text{m}$ 、8インチウェハを用いた場合、 $725\mu\text{m}$ とすることができる、掘り込み部103の深さD2は、例えば、 $70\mu\text{m}$ とすることができる。

#### 【0004】

次に、図14 (b)に示すように、例えば、フォトリソグラフィー技術およびCVD技術を用いることにより、掘り込み部103内の底面および側面に絶縁膜104を形成する。なお、絶縁膜104としては、例えば、酸化珪素膜または窒化珪素膜などを用いることができる。

次に、図14 (c)に示すように、例えば、スパッタまたは蒸着などにより、掘り込み部103内を含む半導体基板101上にシード電極105を形成する。なお、シード電極105としては、例えば、ニッケルNi、クロムCr、チタンTi、タンゲステンWなどの導電材料を用いることができる。

#### 【0005】

そして、掘り込み部103に対応した位置に開口部106'が設けられたメッキレジスト層106を、シード電極105が形成された半導体基板101上に形成する。

そして、シード電極105をメッキ端子とした電解メッキを行うことにより、メッキレジスト層106に設けられた開口部106'を介し、掘り込み部103内に埋め込み電極107を形成する。

#### 【0006】

ここで、埋め込み電極107は、掘り込み部103上に盛り上がるようにして

、掘り込み部103だけでなく、開口部106'を埋め込むように形成することができる。これにより、埋め込み電極107を半導体基板101上に突出させることができ、図15(d)における層間接続を安定して行うことができる。

なお、埋め込み電極107としては、例えば、ニッケルNi、銅Cu、金Auなどを用いることができる。

#### 【0007】

次に、図14(d)に示すように、メッキレジスト層106を除去し、埋め込み電極107をマスクとして、シード電極106をエッチングすることにより、半導体ウェハWの能動面101'を露出させる。

次に、図15(a)に示すように、バックグラインドを用いて半導体基板101の裏面101''を研削することにより、半導体基板101を薄型化する。

#### 【0008】

ここで、半導体基板101の裏面101''のバックグラインドは、絶縁膜104が露出する手前で終了させ、バックグラインド後の半導体基板101の厚みT12は、例えば、 $100\mu\text{m}$ とすることができる。

次に、図15(b)に示すように、半導体基板101の裏面101''をドライエッティングすることにより、半導体基板101をさらに薄型化し、掘り込み部103を貫通させて、半導体基板101に貫通孔103'を形成するとともに、絶縁膜104で覆われた埋め込み電極107の先端を露出させて、貫通電極107'を形成する。なお、ドライエッティング後の半導体基板101の厚みT13は、例えば、 $50\mu\text{m}$ とすることができる。また、半導体基板101の裏面101''のドライエッティング時のエッティングガスとしては、例えば、Cl<sub>2</sub>、HBr、SF<sub>6</sub>などを用いることができる。

#### 【0009】

次に、図15(c)に示すように、貫通電極107'の先端の絶縁膜104をドライエッティングすることにより、貫通電極107'の先端の絶縁膜104を除去する。なお、貫通電極107'の先端の絶縁膜104のドライエッティング時のエッティングガスとしては、例えば、Cl<sub>2</sub>、HBr、SF<sub>6</sub>などを用いることができる。

**【0010】**

次に、図15(d)に示すように、各半導体基板101a～101cに形成された貫通電極107a～107cが接触するようにして、半導体基板101a～101cを積層し、半導体基板101a～101c間の隙間に樹脂108a、108bをそれぞれ注入することにより、半導体基板101a～101cの積層構造を形成する。

**【0011】****【発明が解決しようとする課題】**

しかしながら、従来の半導体モジュールの製造方法では、半導体基板101a～101c内に貫通電極107a～107cが形成され、層間接続を行うためには、上下層の貫通電極107a～107cの位置を合わせる必要がある。

このため、従来の半導体モジュールでは、上下層の貫通電極107a～107cの位置合わせを容易にするためには、貫通電極107a～107cの径を拡大する必要があり、その分だけチップサイズが大きくなるという問題があった。

**【0012】**

また、従来の半導体モジュールでは、層間接続を行うためには、上下層の貫通電極107a～107cを接合させる必要がある。

このため、チップサイズが大きくなると、半導体基板101a～101cの反りや、貫通電極107a～107cの高さのバラツキなどにより、上下層の貫通電極107a～107cの接合が不十分になり、層間接続の信頼性が劣化するという問題があった。

**【0013】**

そこで、本発明の目的は、チップサイズの拡大を抑制しつつ、層間接続の信頼性を向上させることが可能な半導体装置、半導体モジュール、電子機器、半導体装置の製造方法および半導体モジュールの製造方法を提供することである。

**【0014】****【課題を解決するための手段】**

上述した課題を解決するために、請求項1記載の半導体装置によれば、半導体チップの主面上に形成された配線層と、前記配線層に接続され、前記半導体チッ

プの側壁に形成された層間接続用導電層とを備えることを特徴とする。

これにより、半導体チップの能動領域に貫通電極を設けることなく、半導体チップの層間接続を行うことが可能となる。

#### 【0015】

このため、チップサイズの拡大を抑制しつつ、層間接続を行うための導電層を容易に拡大することが可能となるとともに、半導体チップを積層した後に層間接続用導電層を形成することが可能となる。

この結果、上下層の層間接続用導電層の位置合わせを容易に行うことが可能となるとともに、上下層の層間接続用導電層の接合を行う際に、層間接続用導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となり、層間接続の信頼性を向上させることが可能となる。

#### 【0016】

また、請求項2記載の半導体装置によれば、半導体チップの主面上に形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面に形成された溝と、前記溝内に充填された導電層と、前記電極パッドと前記導電層とを接続する配線層とを備えることを特徴とする。

これにより、半導体チップの側壁に導電材料を流し込むことで、半導体チップの側壁に導電層を充填することが可能となり、半導体チップを積層した後に、層間接続を行うための導電層を形成することが可能となるとともに、半導体チップの能動領域に貫通電極を設ける必要がなくなる。

#### 【0017】

このため、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となり、層間接続の信頼性を向上させることが可能となる。

また、請求項3記載の半導体モジュールによれば、積層された半導体チップと、前記半導体チップの側壁にそれぞれ形成され、前記半導体チップ間の層間接続を行う導電層と、前記半導体チップの主面上にそれぞれ形成され、前記導電層に接続された配線層とを備えることを特徴とする。

**【0018】**

これにより、半導体チップの側壁を介して層間接続を行うことが可能となり、貫通電極を能動面に形成する必要がなくなる。

このため、チップサイズの増大を抑制しつつ、層間接続の位置合わせを容易にして、接続信頼性を向上させることが可能となる。

また、請求項4記載の半導体モジュールによれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、前記電極パッドと前記導電層とそれぞれを接続する配線層とを備えることを特徴とする。

**【0019】**

これにより、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となり、半導体チップを積層する際に、上下層の貫通電極の接合を行う必要がなくなる。

このため、半導体チップの位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となり、層間接続の信頼性を向上させることが可能となる。

**【0020】**

また、請求項5記載の半導体モジュールによれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記電極パッドと前記導電層とをそれぞれを接続する配線層と、前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、前記ピン状端子が立てられたインターポーザ基板と、前記ピン状端子を介して前記溝内に充填された導電層とを備えることを特徴とする。

**【0021】**

これにより、ピン状端子に沿って半導体チップをインターポーザ基板上に積層することで、半導体チップの位置合わせを図ることが可能となるとともに、ピン

状端子に沿ってハンダ材などを容易に付着させることが可能となる。

このため、ハンダディップなどにより、切断面に形成された溝に沿って導電層を容易に充填することが可能となり、半導体チップの3次元実装を容易に実現することが可能となる。

#### 【0022】

また、請求項6記載の半導体モジュールによれば、前記半導体チップは、絶縁性樹脂を介して積層されていることを特徴とする。

これにより、半導体チップ上に絶縁性樹脂をべた塗りすることで、層間接続を可能としつつ、半導体チップ間の絶縁を図ることが可能となる。

このため、製造工程を複雑化することなく、半導体チップの絶縁を図ることが可能となるとともに、半導体チップの封止性を容易に向上させて、半導体モジュールの信頼性を向上させることが可能となる。

#### 【0023】

また、請求項7記載の半導体モジュールによれば、配線層が主面上に形成されたインターポーザ基板と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、前記溝内に充填された導電層とを備えることを特徴とする。

#### 【0024】

これにより、半導体チップをインターポーザ基板に実装した場合においても、インターポーザ基板の側壁を介して半導体チップの層間接続を行うことが可能となり、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、層間接続の信頼性を向上させることが可能となる。

#### 【0025】

また、請求項8記載の半導体モジュールによれば、積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に

形成された溝と、前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部とを備えることを特徴とする。

#### 【0026】

これにより、半導体チップをインターポーザ基板に実装した場合においても、半導体チップの突出の影響を回避しつつ、インターポーザ基板の側壁を介して半導体チップの層間接続を行うことが可能となる。

このため、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、貫通電極の高さのバラツキやインターポーザ基板の反りの影響をなくしつつ、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

#### 【0027】

また、請求項9記載の半導体モジュールによれば、開口部が形成された中間基板と、前記中間基板を介して積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された第1の溝と、前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第2の溝と、前記第1および第2の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層とを備えることを特徴とする。

#### 【0028】

これにより、平板状のインターポーザ基板に半導体チップを実装した場合においても、半導体チップの突出の影響を回避しつつ、インターポーザ基板の側壁を介して半導体チップの層間接続を行うことが可能となる。

このため、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、インターポーザ基板の構造を複雑化することなく、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

#### 【0029】

また、請求項10記載の電子機器によれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、前記電極パッドと前記導電層とそれを接続する配線層と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

#### 【0030】

これにより、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となり、チップサイズの拡大を抑制しつつ、半導体チップの位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となる。

#### 【0031】

また、請求項11記載の電子機器によれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記電極パッドと前記導電層とそれを接続する配線層と、前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、前記ピン状端子が立てられたインターポーラ基板と、前記ピン状端子を介して前記溝内に充填された導電層と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

#### 【0032】

これにより、半導体チップを精度よく積層することが可能となるとともに、切断面に形成された溝に沿って導電層を容易に充填することが可能となり、チップサイズの拡大を抑制しつつ、半導体チップの3次元実装を容易に実現することが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となる。

**【0033】**

また、請求項12記載の電子機器によれば、積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

**【0034】**

これにより、半導体チップの種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体チップの3次元実装を容易に実現することが可能となるとともに、層間接続の信頼性を向上させることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となるとともに、様々な機能を電子機器に容易に付加することが可能となる。

**【0035】**

また、請求項13記載の電子機器によれば、開口部が形成された中間基板と、前記中間基板を介して積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された第1の溝と、前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第2の溝と、前記第1および第2の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

**【0036】**

これにより、半導体チップの種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体チップの3次元実装を容易に実現するこ

とが可能となるとともに、インターポーラ基板の複雑化を防止しつつ、層間接続の信頼性を向上させることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となるとともに、コストアップを抑制しつつ、様々な機能を電子機器に容易に付加することが可能となる。

#### 【0037】

また、請求項14記載の半導体装置の製造方法によれば、半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

これにより、半導体ウェハの平面上で加工を行うことで、半導体ウェハの側壁に溝を形成することが可能となり、半導体ウェハの切断面を直接加工することなく、半導体ウェハの切断面に導電層を容易に充填することが可能となる。

#### 【0038】

このため、製造工程を煩雑化させることなく、半導体チップの側壁に導電層を設けることができ、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となることから、スループットの低下を抑制しつつ、層間接続の信頼性を向上させることが可能となる。

#### 【0039】

また、請求項15記載の半導体装置の製造方法によれば、配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、前記掘り込み部内に絶縁膜を形成する工程と、前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

#### 【0040】

これにより、貫通孔が形成された半導体ウェハを切断することで、半導体ウェハの側壁に溝を形成することが可能となり、半導体ウェハの切断面を直接加工することなく、半導体ウェハの切断面に導電層を容易に充填することが可能となるとともに、半導体ウェハを切断するために必要なマージン領域を有効活用して、層間接続を行うことが可能となる。

#### 【0041】

このため、製造工程を煩雑化させることなく、半導体チップの側壁に導電層を設けることが可能となるとともに、能動領域を犠牲にして、貫通電極を形成する必要がなくなる。

この結果、チップサイズの拡大を抑制しつつ、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となり、スループットの低下を抑制しつつ、層間接続の信頼性を向上させることが可能となる。

#### 【0042】

また、請求項16記載の半導体モジュールの製造方法によれば、半導体チップの側壁に導電層を形成する工程と、前記半導体チップの側壁に形成された導電層を介して層間接続を行う工程とを備えることを特徴とする。

これにより、能動領域に貫通電極を設けることなく、半導体チップの層間接続を行うことが可能となり、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくして、層間接続の信頼性を向上させることが可能となる。

#### 【0043】

また、請求項17記載の半導体モジュールの製造方法によれば、半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により形成された半導体チップを積層する工程と、前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

#### 【0044】

これにより、貫通孔が形成された半導体ウェハを切断することで、半導体ウェハの側壁に溝を形成することができ、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となる。

このため、半導体チップを積層する際に、上下層の貫通電極の接合を行う必要がなくなり、半導体チップの位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となり、層間接続の信頼性を向上させることが可能となる。

#### 【0045】

また、請求項18記載の半導体モジュールの製造方法によれば、半導体ウェハの切断線上に貫通電極を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通電極を介して、前記切断により形成された半導体チップの層間接続を行う工程とを備えることを特徴とする。

#### 【0046】

これにより、貫通電極が形成された半導体ウェハを切断することで、半導体ウェハの側壁に導電層を一括して形成することができる。

このため、半導体ウェハの切断後の導電材料の充填工程を省略しつつ、半導体ウェハの切断面に導電層を精度よく形成することができるとともに、半導体ウェハを切断するために必要なマージン領域を有効活用して、層間接続を行うことが可能となる。

#### 【0047】

また、請求項19記載の半導体モジュールの製造方法によれば、配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、前記掘り込み部内に絶縁膜を形成する工程と、前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により形成された半導体チップを積層する工程と、前記切断により分割された貫通孔に導電層を充填する工程とを備えることを特徴とする。

## 【0048】

これにより、貫通孔が形成された半導体ウェハを切断することで、半導体ウェハの側壁に溝を形成することが可能となるとともに、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となる。

このため、製造工程を煩雑化させることなく、半導体チップの側壁に導電層を設けることが可能となるとともに、能動領域を犠牲にして、貫通電極を形成する必要がなくなる。

## 【0049】

この結果、チップサイズの拡大を抑制しつつ、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすことが可能となり、スループットの低下を抑制しつつ、層間接続の信頼性を向上させることが可能となる。

## 【0050】

また、請求項 20 記載の半導体モジュールの製造方法によれば、半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内にピン状端子がはめ込まれるようにして、前記ピン状端子が立てられたインターポーザ基板上に半導体チップを積層する工程と、前記分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

## 【0051】

これにより、ピン状端子に沿って半導体チップをインターポーザ基板上に積層することで、半導体チップの位置合わせを図ることが可能となるとともに、ピン状端子に沿ってハンダ材などを容易に付着させることができとなり、半導体チップの 3 次元実装を容易に実現することが可能となる。

また、請求項 21 記載の半導体モジュールの製造方法によれば、側壁に溝が形成され、裏面に凹部が形成されたインターポーザ基板上に半導体チップを実装する工程と、上層に積層されるインターポーザ基板の凹部に前記半導体チップが收

まるようにして、半導体チップが実装されたインターポーザ基板を積層する工程と、前記インターポーザ基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする。

#### 【0052】

これにより、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、貫通電極の高さのバラツキやインターポーザ基板の反りの影響をなくしつつ、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

また、請求項22記載の半導体モジュールの製造方法によれば、側壁に溝が形成されたインターポーザ基板上に半導体チップを実装する工程と、正面に開口部が形成され、側壁に溝が形成された中間基板を介して、前記半導体チップが実装されたインターポーザ基板を積層する工程と、前記インターポーザ基板および前記中間基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする。

#### 【0053】

これにより、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、インターポーザ基板の構造を複雑化することなく、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

#### 【0054】

##### 【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置の製造方法および半導体モジュールの製造方法について、図面を参照しながら説明する。

図1、2は、本発明の第1実施形態に係る半導体装置の製造方法を示す断面図、図3、4は、本発明の第1実施形態に係る半導体装置の製造方法を示す斜視図である。

#### 【0055】

図1(a)および図3(a)において、半導体ウェハW上には、スクリイブラインSLで区画された能動領域7が形成され、半導体ウェハWの能動面1'には

、パッド電極2が形成されるとともに、パッド電極2は、スクライブラインSL上まで延伸された配線層3に接続されている。

そして、例えば、フォトリソグラフィー技術およびドライエッチング技術を用いることにより、半導体ウェハWのスクライブラインSLに掘り込み部4を形成する。

#### 【0056】

次に、図1（b）に示すように、例えば、フォトリソグラフィー技術およびCVD技術を用いることにより、掘り込み部4内に絶縁膜5を形成する。なお、絶縁膜5としては、例えば、酸化珪素膜または窒化珪素膜などを用いることができる。

そして、例えば、フォトリソグラフィー技術およびスパッタ技術を用いることにより、絶縁膜5で覆われた掘り込み部4内にアンダーバリアメタル膜6を形成するとともに、掘り込み部4内に形成されたアンダーバリアメタル膜6を配線層3に接続する。なお、アンダーバリアメタル膜6としては、例えば、TiW、TiN、CrまたはNiなどを用いることができる。

#### 【0057】

次に、図1（c）に示すように、バックグラインドを用いて半導体ウェハWの裏面1'を研削することにより、半導体ウェハWを薄型化する。

ここで、半導体ウェハWの裏面1'のバックグラインドは、絶縁膜5が露出する手前で終了させる。

そして、半導体ウェハWがバックグラインドにより薄型化されると、半導体ウェハWの裏面1'をドライエッチングすることにより、半導体ウェハWをさらに薄型化するとともに、掘り込み部4底面の絶縁膜5およびアンダーバリアメタル膜6を除去し、掘り込み部4を貫通させて、半導体ウェハWに貫通孔4'を形成する。なお、半導体ウェハWの裏面1'のドライエッチング時のエッティングガスとしては、例えば、Cl<sub>2</sub>、HBr、SF<sub>6</sub>などを用いることができ、絶縁膜4のドライエッチング時のエッティングガスとしては、例えば、Cl<sub>2</sub>、HBr、SF<sub>6</sub>などを用いることができる。

#### 【0058】

次に、図1（d）および図3（b）に示すように、貫通孔4'が形成された半導体ウェハWをスクライブラインSLに沿って切断し、貫通孔4'を縦方向に分割することにより、半導体基板1の側壁に溝4''を形成する。

次に、図2（a）および図4（a）に示すように、側壁に溝4a～4cがそれぞれ形成された半導体基板1a～1cを、樹脂層8a、8bを介して積層する。ここで、半導体基板1a～1cおよび樹脂層8a、8bを積層する場合、各半導体基板1a～1cの側壁に形成された溝4a～4cが縦方向に揃うようにする。

#### 【0059】

次に、図2（b）および図4（b）に示すように、樹脂層8a、8bに跨がるようにして、溝4a～4c内に導電材料11を充填することにより、各半導体基板1a～1cに形成されたパッド電極2a～2cを層間接続する。

なお、溝4a～4c内に充填する導電材料11としては、例えば、Agペーストやハンダペースト、あるいは導電性スリラーなどを用いることができる。

#### 【0060】

図5は、本発明の一実施形態に係る導電材料の充填方法を示す側面図である。

図5（a）において、溝4a～4c内に導電材料11を充填する場合、積層された半導体基板1a～1cの壁面上に導電材料11を塗布する。

そして、導電材料11が塗布された半導体基板1a～1cの壁面上でステージ12をスライドさせ、半導体基板1a～1cの壁面上の導電材料11を擦り取ることにより、溝4a～4c内に導電材料11を充填する。

#### 【0061】

これにより、半導体基板1a～1cの側壁に導電材料11を充填することで、半導体基板1a～1cの層間接続を行なうことが可能となり、半導体基板1a～1cを積層した後に、層間接続を行うための導電層を形成することが可能となるとともに、半導体基板1a～1cの能動面に貫通電極を設ける必要がなくなる。

このため、チップサイズの増大を抑制しつつ、溝4a～4cの幅を容易に拡大することが可能となり、半導体基板1a～1cを積層する際の位置合わせを容易化することが可能となるとともに、貫通電極の高さのバラツキや半導体基板1a～1cの反りの影響を受けることなく、半導体基板1a～1cの層間接続を行な

うことが可能となり、積層構造の小型化を図りつつ、層間接続の信頼性を向上させることが可能となる。

#### 【0062】

また、半導体基板1a～1cの側壁を介して層間接続を行なうことにより、層間接続の妨げになることなく、半導体基板1a～1cの全面に樹脂層8a、8bをべた塗りすることが可能となる。

このため、製造工程を複雑化することなく、半導体基板1a～1c間の絶縁を図ることが可能となるとともに、半導体基板1a～1cの封止性を容易に向上させて、半導体モジュールの信頼性を向上させることが可能となる。

#### 【0063】

図6、7は、本発明の第2実施形態に係る半導体モジュールの製造方法を示す斜視図である。

図6（a）において、半導体基板21上には能動領域27が形成されるとともに、半導体基板21の側壁には溝24が形成され、半導体基板21の能動面21'には、パッド電極22および配線層23が形成されている。また、パッド電極23は、溝24まで延伸された配線層23に接続され、溝24の表面は絶縁膜25で覆われるとともに、絶縁膜25で覆われた溝24内には、配線層23に接続されたアンダーバリアメタル膜26が形成されている。

#### 【0064】

一方、図6（b）において、インターポーザ基板31上には、半導体基板21の溝24の配置に対応するように、ピン状端子32が立てられ、インターポーザ基板31の裏面にはバンプ電極33が形成され、ピン状端子32とバンプ電極33とは内部配線により接続されている。

なお、ピン状端子32は、例えば、Cuなどのハンダ濡れ性のよい金属材料、または表面がハンダメッキされた金属材料などで構成することができ、ピン状端子32の径は、ピン状端子32が溝24内に収まるように設定することができる。

#### 【0065】

そして、半導体基板21の積層構造を実現する場合、ピン状端子32が半導体

基板21の溝24内にはめ込まれるようにして、半導体基板21をピン状端子32に沿ってインターポーザ基板31上に積み上げる。

この結果、図7(a)に示すように、樹脂層28a、28bによって層間絶縁された半導体基板21a～21cの積層構造を形成することができる。ここで、各半導体基板21a～21cには溝24a～24cが形成され、各溝24a～24cの表面は絶縁膜25a～25cでそれぞれ覆われるとともに、絶縁膜25a～25cで覆われた溝24a～24c内には、アンダーバリアメタル膜26a～26cがそれぞれ形成されている。そして、例えば、半導体基板21a上に形成されたパッド電極22aは配線層23aを介してアンダーバリアメタル膜26aに接続されている。

#### 【0066】

次に、図7(b)に示すように、ハンダディップなどにより、ピン状端子32に沿って導電材料34を付着させることにより、樹脂層28a、28bに跨がるようにして、溝24a～24c内に導電材料34を充填する。

これにより、ピン状端子32に沿って半導体基板21a～21cを積み上げていくことにより、溝24a～24cの位置を揃えながら、半導体基板21a～21cを積層することができ、位置合わせにかかる手間を軽減させて、半導体基板21a～21cの積層構造を容易に実現することができる。

#### 【0067】

また、ピン状端子32をハンダ濡れ性のよい金属材料で構成することにより、ハンダディップなどにより、導電材料34を溝24a～24c内に一括して充填することができる。

また、ピン状端子32をハンダメッキされた金属材料などで構成することにより、熱処理を行なうことで、樹脂層28a、28bを介して溝24a～24cを一括してハンダ接続することができる。

#### 【0068】

図8、9は、本発明の第3実施形態に係る半導体モジュールの製造方法を示す斜視図である。

図8において、半導体基板41上には能動領域42が形成されるとともに、半

導体基板41の能動面にはパッド電極43が形成されている。

一方、インターPOーラ基板51上には端子電極52および配線層53が形成されるとともに、インターPOーラ基板51の側壁には溝54が形成され、端子電極52は、溝54まで延伸された配線層53に接続されている。

#### 【0069】

また、インターPOーラ基板51の側壁に形成された溝54内には、配線層53に接続されたアンダーバリアメタル膜55が形成され、インターPOーラ基板51の裏面には、半導体基板41を収容可能な凹部57が設けられている。

なお、インターPOーラ基板51としては、例えば、樹脂基板やセラミック基板、またはガラスエポキシ基板などを用いることができ、アンダーバリアメタル膜55としては、例えば、TiW、TiN、CrまたはNiなどを用いることができる。

#### 【0070】

そして、半導体基板51は、インターPOーラ基板51上に実装され、半導体基板51上のパッド電極43は、ワイヤ56により、インターPOーラ基板51上の端子電極52と接続されている。

そして、図9(a)に示すように、半導体基板がそれぞれ実装されたインターPOーラ基板51a～51cを積層することにより、半導体基板の3次元実装構造を実現することができる。

#### 【0071】

ここで、インターPOーラ基板51a～51cの裏面に凹部57a～57cをそれぞれ設けることにより、インターPOーラ基板51a～51cにそれぞれ実装された半導体基板を、上層のインターPOーラ基板51a～51cの凹部57a～57cにそれぞれ収容することが可能となり、半導体基板がそれぞれ実装されたインターPOーラ基板51a～51cを精度よく積層することが可能となる。

#### 【0072】

なお、各インターPOーラ基板51a～51cの側壁には溝54a～54cがそれぞれ形成されるとともに、各インターPOーラ基板51a～51cの裏面には凹部57a～57cがそれぞれ形成され、各溝54a～54c内には、アンダーバ

リアルメタル膜55a～55cがそれぞれ形成されている。

そして、例えば、インターポーザ基板51a上には端子電極52aおよび配線層53aが形成され、端子電極52aは、配線層53aを介してアンダーバリアアルメタル膜55aに接続され、インターポーザ基板51a上には半導体基板41aが実装され、半導体基板41a上のパッド電極43aは、ワイヤ56aにより、インターポーザ基板51a上の端子電極52aと接続されている。

#### 【0073】

次に、図9（b）に示すように、インターポーザ基板51a～51cの側壁にそれぞれ形成された溝54a～54c内に導電材料58を充填することにより、インターポーザ基板51a～51cを介して、半導体基板の層間接続を実現する。

これにより、半導体基板51の種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体基板51の3次元実装を容易に実現することが可能となるとともに、層間接続の信頼性を向上させることが可能となる。

#### 【0074】

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができるとともに、様々な機能を電子機器に容易に付加することができる。

図10、11は、本発明の第5実施形態に係る半導体モジュールの製造方法を示す断面図である。

#### 【0075】

図10（a）において、インターポーザ基板71上には配線層73が形成されるとともに、インターポーザ基板71の側壁には溝74が形成され、インターポーザ基板71の側壁に形成された溝74内には、配線層73に接続されたアンダーバリアアルメタル膜75が形成されている。

そして、半導体基板61は、フェースダウンによりインターポーザ基板71上に実装され、半導体基板61のパッド電極は、配線層73を介してアンダーバリアアルメタル膜75に接続されている。

**【0076】**

一方、図10（b）において、中間基板81には半導体基板61を収容可能な開口部86が設けられ、中間基板81の側壁には溝84が形成され、中間基板81の側壁に形成された溝84内には、アンダーバリアメタル膜85が形成されている。

なお、インターポーザ基板71および中間基板81としては、例えば、樹脂基板やセラミック基板、またはガラスエポキシ基板などを用いることができ、アンダーバリアメタル膜75、85としては、例えば、TiW、TiN、CrまたはNiなどを用いることができる。

**【0077】**

そして、図11（a）に示すように、中間基板81a、81bをそれぞれ間に挟みつつ、半導体基板がそれぞれ実装されたインターポーザ基板71a～71cを積層することにより、半導体基板の3次元実装構造を実現することができる。

ここで、インターポーザ基板71a～71cの間に中間基板81a、81bをそれぞれ挟むことにより、インターポーザ基板71a～71cにそれぞれ実装された半導体基板を、中間基板81a、81bの開口部にそれぞれ収容することができるとなり、半導体基板がそれぞれ実装されたインターポーザ基板71a～71cを精度よく積層することが可能となる。

**【0078】**

また、中間基板81a、81bの側壁にも溝84a、84bを設けることにより、インターポーザ基板71a～71cの間に中間基板81a、81bを挟んだ場合においても、インターポーザ基板71a～71cの側壁を介して層間接続を容易に行なうことが可能となる。

なお、各インターポーザ基板71a～71cの側壁には溝74a～74cがそれぞれ形成されるとともに、各溝74a～74c内には、アンダーバリアメタル膜75a～75cがそれぞれ形成されている。

**【0079】**

また、各中間基板81a、81bの側壁には溝84a、84cがそれぞれ形成されるとともに、各溝84a、84b内には、アンダーバリアメタル膜85a、

85bがそれぞれ形成されている。

そして、例えば、インターポーザ基板71a上には、アンダーバリアメタル膜75aに接続された配線層73aが形成されるとともに、配線層73aに接続された半導体基板61aがフェースダウンで実装されている。

#### 【0080】

次に、図11（b）に示すように、インターポーザ基板71a～71cおよび中間基板81a、81bの側壁にそれぞれ形成された溝74a～74c、84a、84c内に導電材料86を充填することにより、インターポーザ基板71a～71cおよび中間基板81a、81bを介して、半導体基板の層間接続を実現する。

#### 【0081】

これにより、半導体基板71の種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体基板71の3次元実装を容易に実現することが可能となるとともに、インターポーザ基板71a～71cの複雑化を防止しつつ、層間接続の信頼性を向上させることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができるとともに、コストアップを抑制しつつ、様々な機能を電子機器に容易に付加することが可能となる。

#### 【0082】

図12、13は、本発明の第5実施形態に係る半導体モジュールの製造方法を示す断面図である。

図12（a）において、半導体ウェハW上には、スクライブラインSLで区画された能動領域が形成され、半導体ウェハWの能動面91'には、パッド電極92が形成されるとともに、パッド電極92は、スクライブラインSL上まで延伸された配線層93に接続されている。

#### 【0083】

そして、例えば、フォトリソグラフィー技術およびドライエッチング技術を用いることにより、半導体ウェハWのスクライブラインSLに掘り込み部94を形成する。

ここで、半導体ウェハWの厚みT1は、例えば、6インチウェハを用いた場合、 $625\mu\text{m}$ 、8インチウェハを用いた場合、 $725\mu\text{m}$ とすることができ、掘り込み部94の深さD1は、例えば、 $70\mu\text{m}$ とすることができる。

#### 【0084】

次に、図12（b）に示すように、例えば、フォトリソグラフィー技術およびCVD技術を用いることにより、掘り込み部94内の底面および側面に絶縁膜95を形成する。なお、絶縁膜95としては、例えば、酸化珪素膜または窒化珪素膜などを用いることができる。

次に、図12（c）に示すように、例えば、スパッタまたは蒸着などにより、掘り込み部94内を含む半導体基板91上にシード電極96を形成する。なお、シード電極96としては、例えば、ニッケルNi、クロムCr、チタンTi、タンゲステンWなどの導電材料を用いることができる。

#### 【0085】

そして、掘り込み部94に対応した位置に開口部97'が設けられたメッキレジスト層97を、シード電極96が形成された半導体基板91上に形成する。ここで、開口部97'の大きさは、開口部97'が配線層93上にかかるように設定する。

そして、シード電極96をメッキ端子とした電解メッキを行うことにより、メッキレジスト層97に設けられた開口部97'を介し、掘り込み部94および開口部97'内に埋め込み電極98を形成する。

#### 【0086】

なお、埋め込み電極98としては、例えば、ニッケルNi、銅Cu、金Auなどからなる1層構造の他、ニッケルNi、銅Cu、金Auなどの金属上にSn、Sn-Pb、Sn-Ag、Sn-Cu、Sn-Znなどのハンダ材が積層された2層構造を用いるようにしてもよい。

また、埋め込み電極98の形成は、電解メッキを用いる方法のほか、無電解メッキを用いてもよく、また、例えば、インクジェット法により、導電性スラリーや導電性ペーストなどを掘り込み部94内に吐出させるようにしてもよい。

#### 【0087】

次に、図12（d）に示すように、メッキレジスト層97を除去し、埋め込み電極98をマスクとして、シード電極96をエッティングすることにより、半導体ウェハWの能動面91'を露出させる。

次に、図13（a）に示すように、バックグラインドを用いて半導体ウェハWの裏面91''を研削することにより、半導体ウェハWを薄型化する。

#### 【0088】

ここで、半導体ウェハWの裏面91''のバックグラインドは、絶縁膜95が露出する手前で終了させ、バックグラインド後の半導体ウェハWの厚みT2は、例えば、 $100\mu\text{m}$ とすることができる。

次に、図13（b）に示すように、半導体ウェハWの裏面91''をドライエッティングすることにより、半導体ウェハWをさらに薄型化し、掘り込み部93を貫通させて、半導体ウェハWに貫通孔94'を形成するとともに、絶縁膜95で覆われた埋め込み電極98の先端を露出させて、貫通電極98'を形成する。なお、ドライエッティング後の半導体ウェハWの厚みT3は、例えば、 $50\mu\text{m}$ とすることができる。また、半導体ウェハWの裏面91''のドライエッティング時のエッティングガスとしては、例えば、Cl<sub>2</sub>、HBr、SF<sub>6</sub>などを用いることができる。

#### 【0089】

次に、図13（c）に示すように、貫通電極98'の先端の絶縁膜95をドライエッティングすることにより、貫通電極98'の先端の絶縁膜95を除去する。なお、貫通電極98'の先端の絶縁膜95のドライエッティング時のエッティングガスとしては、例えば、Cl<sub>2</sub>、HBr、SF<sub>6</sub>などを用いることができる。

次に、図13（d）に示すように、貫通電極98'が形成された半導体ウェハWをスクライブラインSLに沿って切断し、貫通電極98'を縦方向に分割することにより、半導体基板91の側壁に溝94''を形成するとともに、溝94'内に埋め込まれた埋め込み電極98''を形成する。

#### 【0090】

次に、図13（e）に示すように、各半導体基板91a～91cの溝94a～94cに充填された埋め込み電極98a～98cが接触するようにして、半導体

基板91a～91cを積層し、半導体基板91a～91c間の隙間に樹脂99a、99bをそれぞれ注入することにより、半導体基板91a～91cの積層構造を形成する。

#### 【0091】

これにより、半導体ウェハWをスクライブラインSLに沿って切断することで、半導体基板91の側壁に埋め込み電極98'を一括して形成することができる。

このため、半導体ウェハWの切断後に形成された溝94'内に導電材料を充填する必要がなくなり、製造工程を簡略化することが可能となるとともに、半導体基板91の側壁に埋め込み電極98'を精度よく形成することができる、半導体基板91の側壁を用いた層間接続を安定して行うことが可能となる。

#### 【0092】

なお、上述した実施形態では、半導体チップの側壁を介して層間接続を行う方法について説明したが、本発明は、半導体チップに限定されることなく、例えば、薄膜トランジスタなどが形成されたガラス基板やサファイア基板の側壁を介して層間接続を行う方法に適用してもよい。

また、上述したバンプ電極構造は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD（M i n i D i s c）プレーヤなどの電子機器に適用することができ、電子機器の信頼性を劣化させることなく、電子機器の小型・軽量化を図ることが可能となる。

#### 【0093】

##### 【発明の効果】

以上説明したように、本発明によれば、半導体チップの側壁を介して層間接続を行うことにより、能動領域に貫通電極を設けることなく、半導体チップの層間接続を行うことが可能となり、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくして、層間接続の信頼性を向上させることができるとなる。

##### 【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る半導体モジュールの製造方法を示す

断面図である。

【図2】 本発明の第1実施形態に係る半導体モジュールの製造方法を示す断面図である。

【図3】 本発明の第1実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図4】 本発明の第1実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図5】 本発明の一実施形態に係る導電材料の充填方法を示す側面図である。

【図6】 本発明の第2実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図7】 本発明の第2実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図8】 本発明の第3実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図9】 本発明の第3実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図10】 本発明の第4実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図11】 本発明の第4実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図12】 本発明の第5実施形態に係る半導体モジュールの製造方法を示す断面図である。

【図13】 本発明の第5実施形態に係る半導体モジュールの製造方法を示す断面図である。

【図14】 従来の半導体モジュールの製造方法を示す断面図である。

【図15】 従来の半導体モジュールの製造方法を示す断面図である。

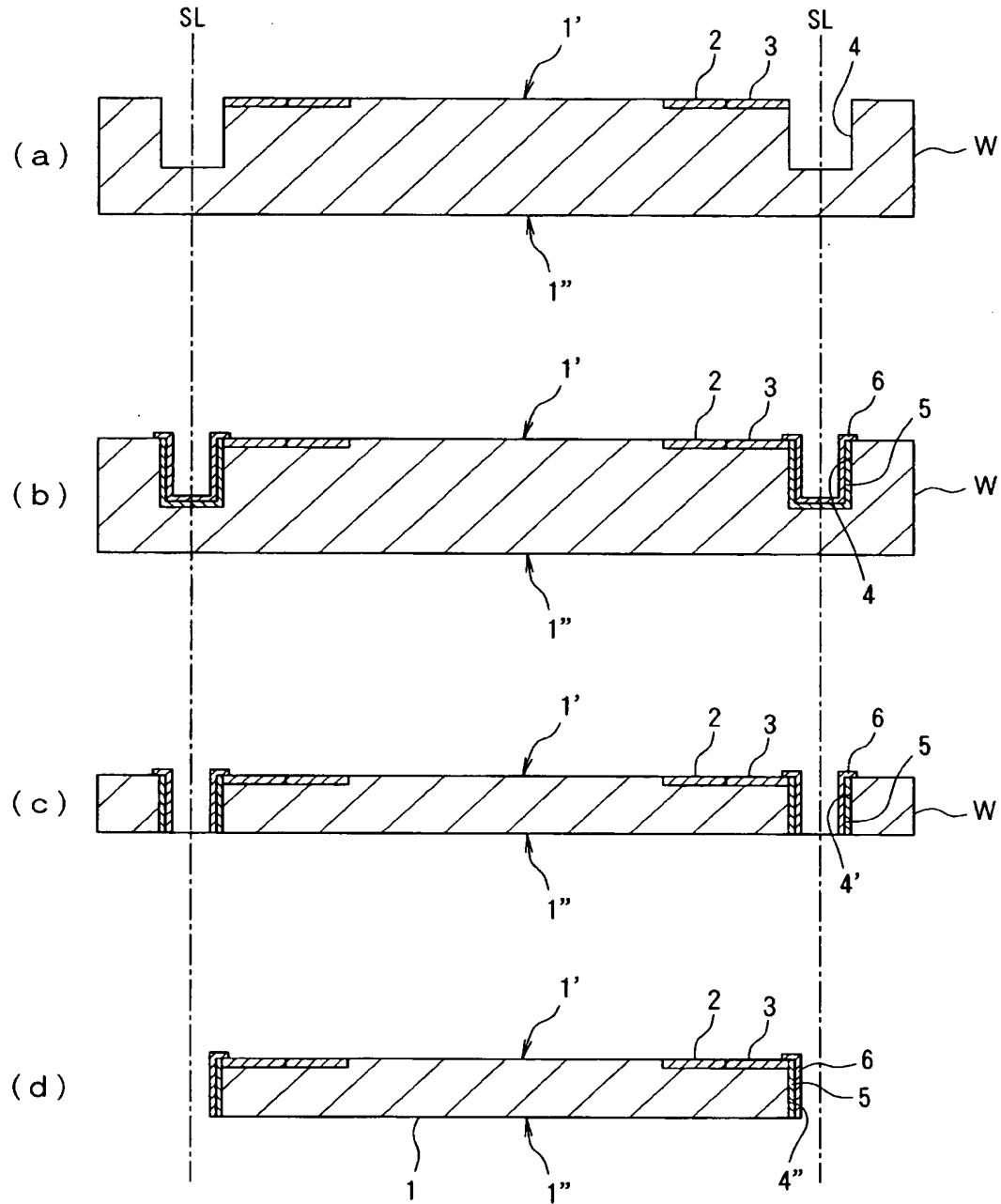
#### 【符号の説明】

W 半導体ウェハ 1、1a～1c、21、21a～21c、41、41a、

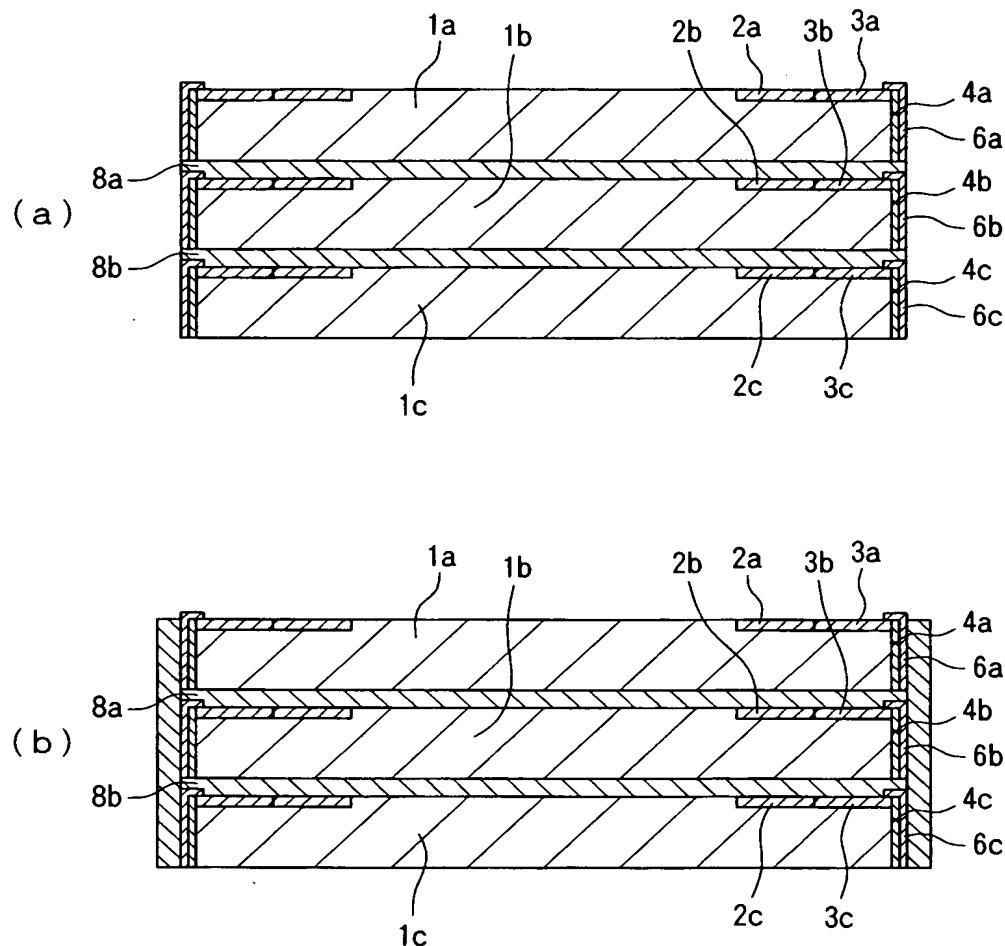
61、61a、91、91a～91c 半導体基板、1'、21'、91' 能動面 1''、91'' 裏面、2、22、22a、43、43a、92、92a～92c パッド電極、3、23、23a、53、53a、73、93 配線、4、94 掘り込み部、4'、94' 貫通孔、4''、4a～4c、24、24a～24c、54、54a～54c、74、84、74a～74c、84a、84b、94''、94a～94c 溝、5、25、25a～25c、95絶縁膜、6、26、26a～26c、55、55a～55c、75、85、75a～75c、85a、85b アンダーバリアメタル層、7、27、27a、42、42a能動領域、8a、8b、28a、28b 樹脂層、11、58、86、98''、98a～98c 導電材料、12 ステージ、31、51a～51c、71、71a～71c インターポーザ基板、32 ピン状端子、33 バンプ電極、34 ハンダ充填部、51 インターポーザ基板、52、52a 端子電極、56 ワイヤ、57、57a～57c 凹部、81 81a、81b 中間基板、86 開口部、96 シード電極、97 メッキレジスト層、98 埋め込み電極、98' 貫通電極、99a、99b 樹脂層、S L スクライブライイン

【書類名】 図面

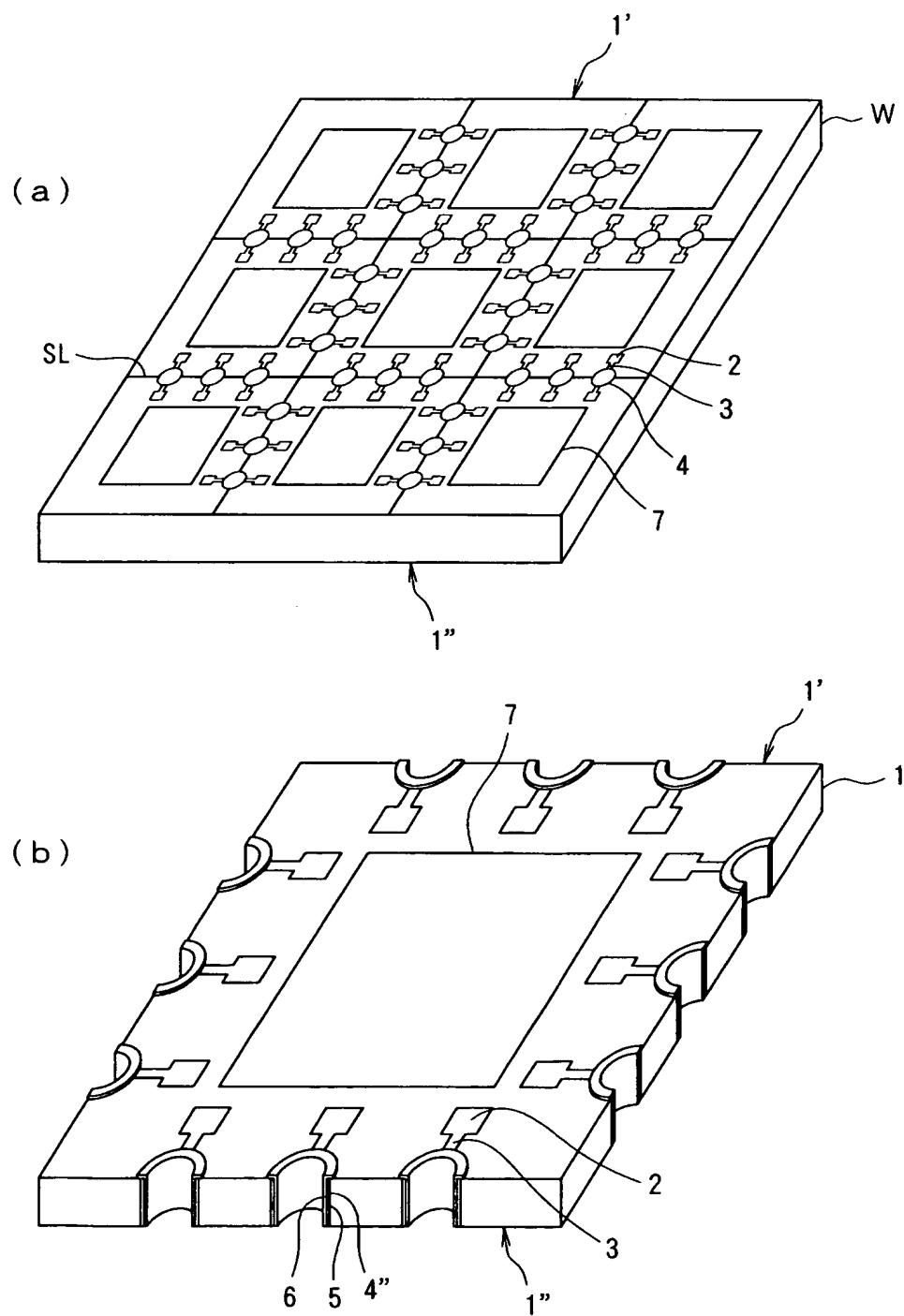
【図1】



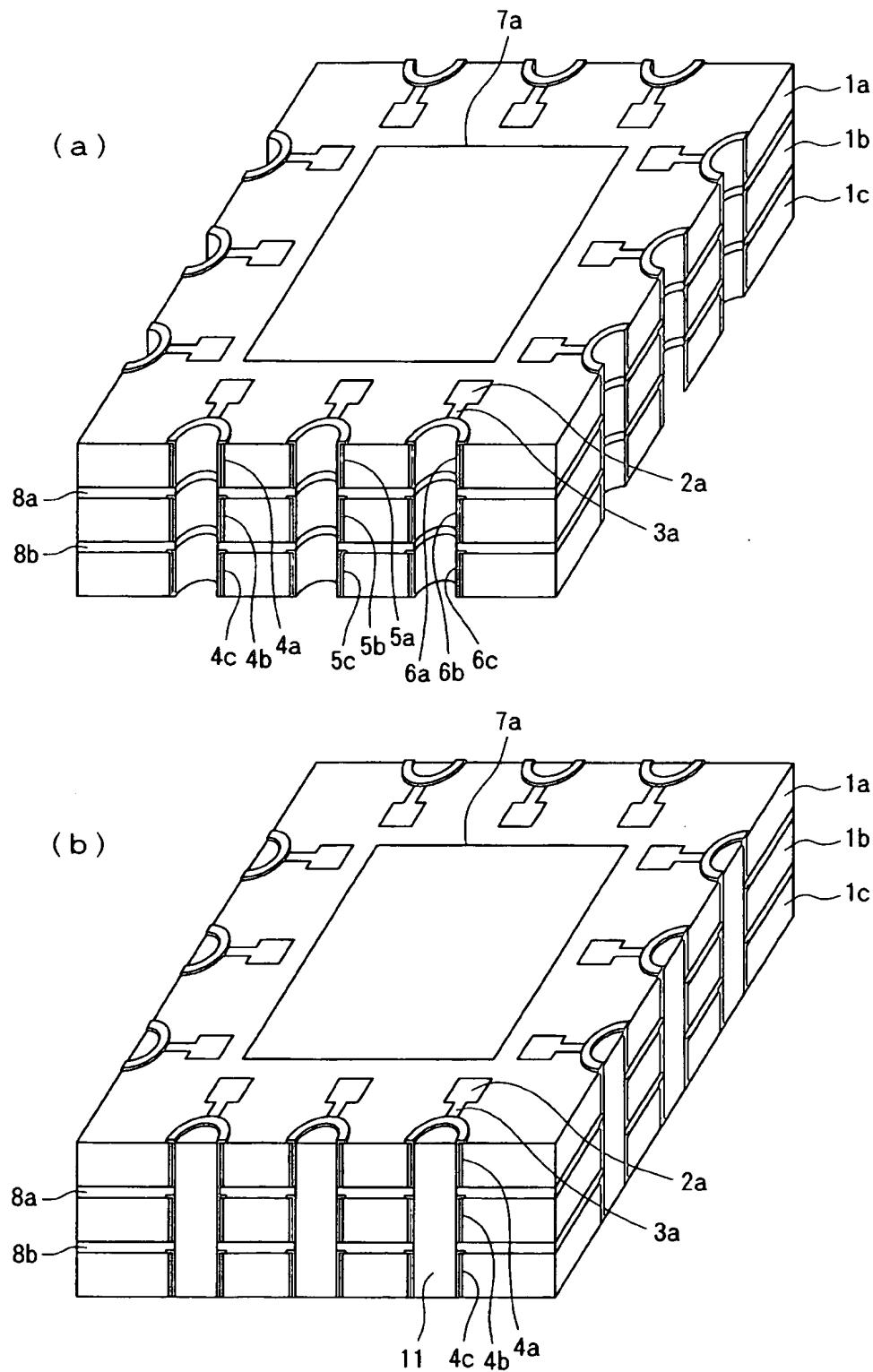
【図2】



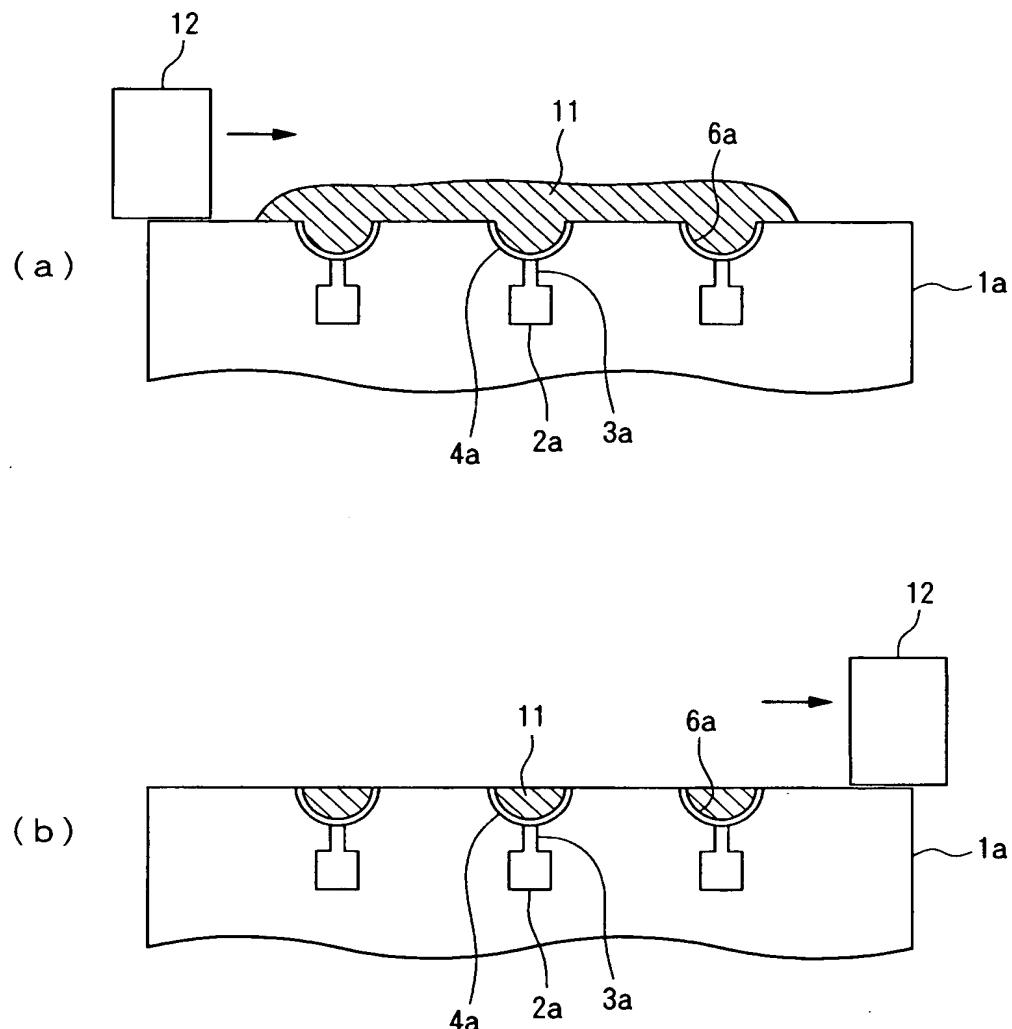
【図3】



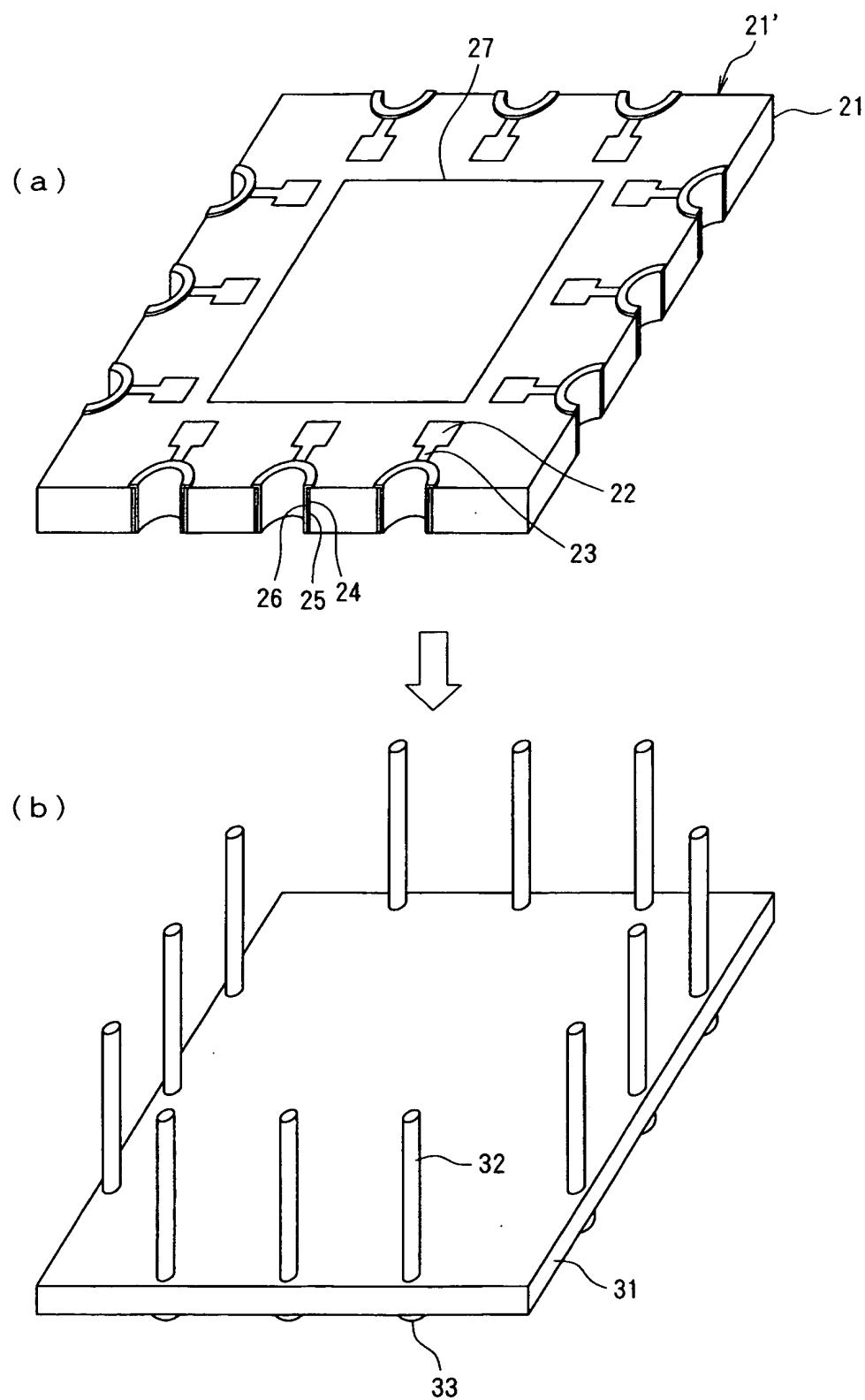
【図4】



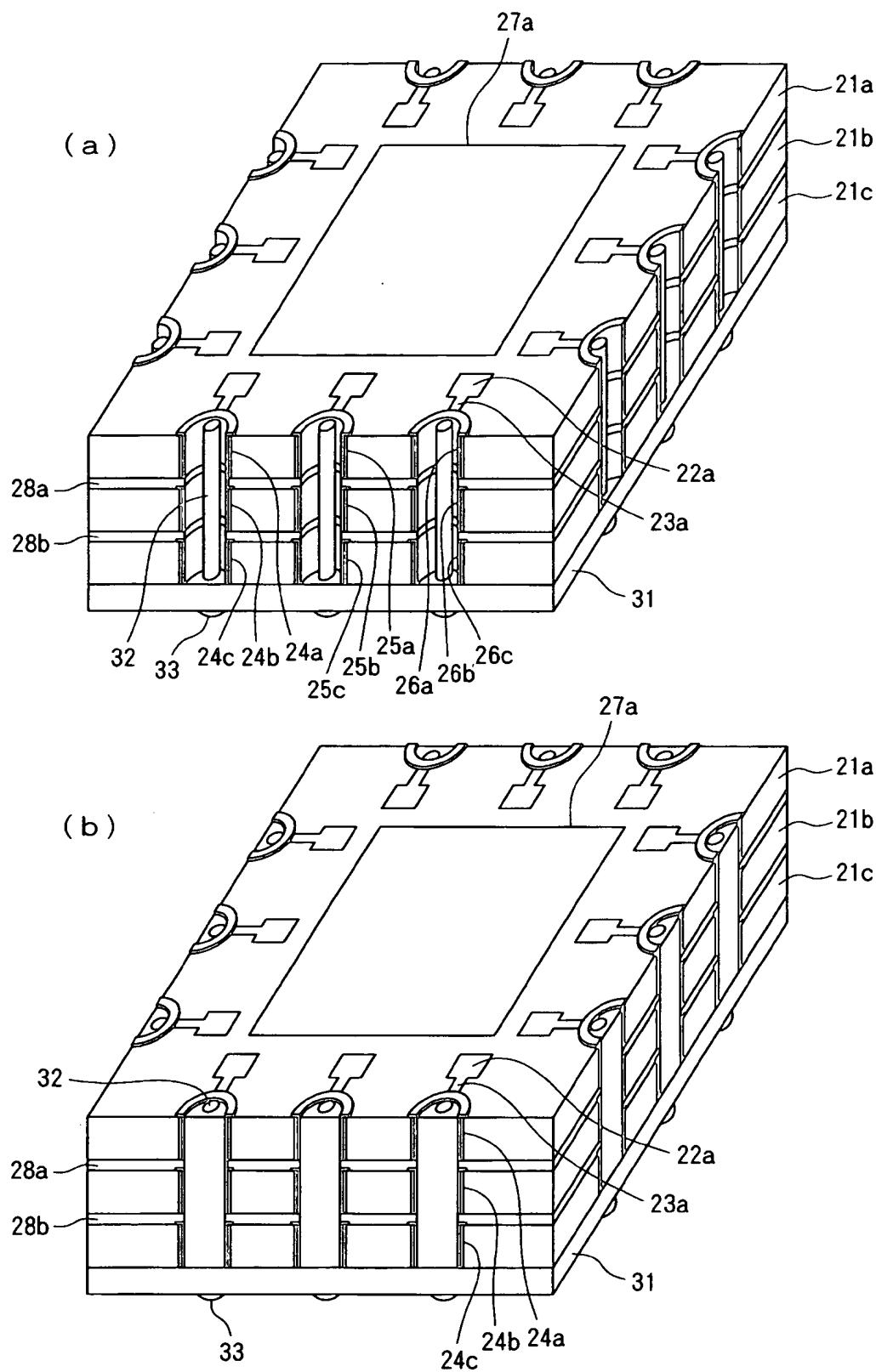
【図5】



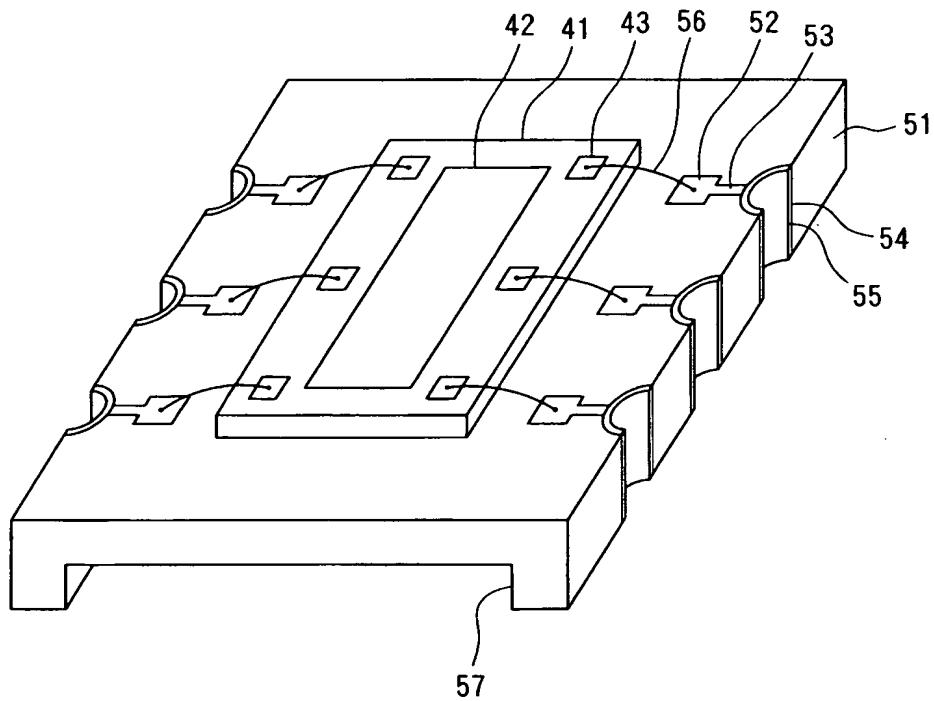
【図6】



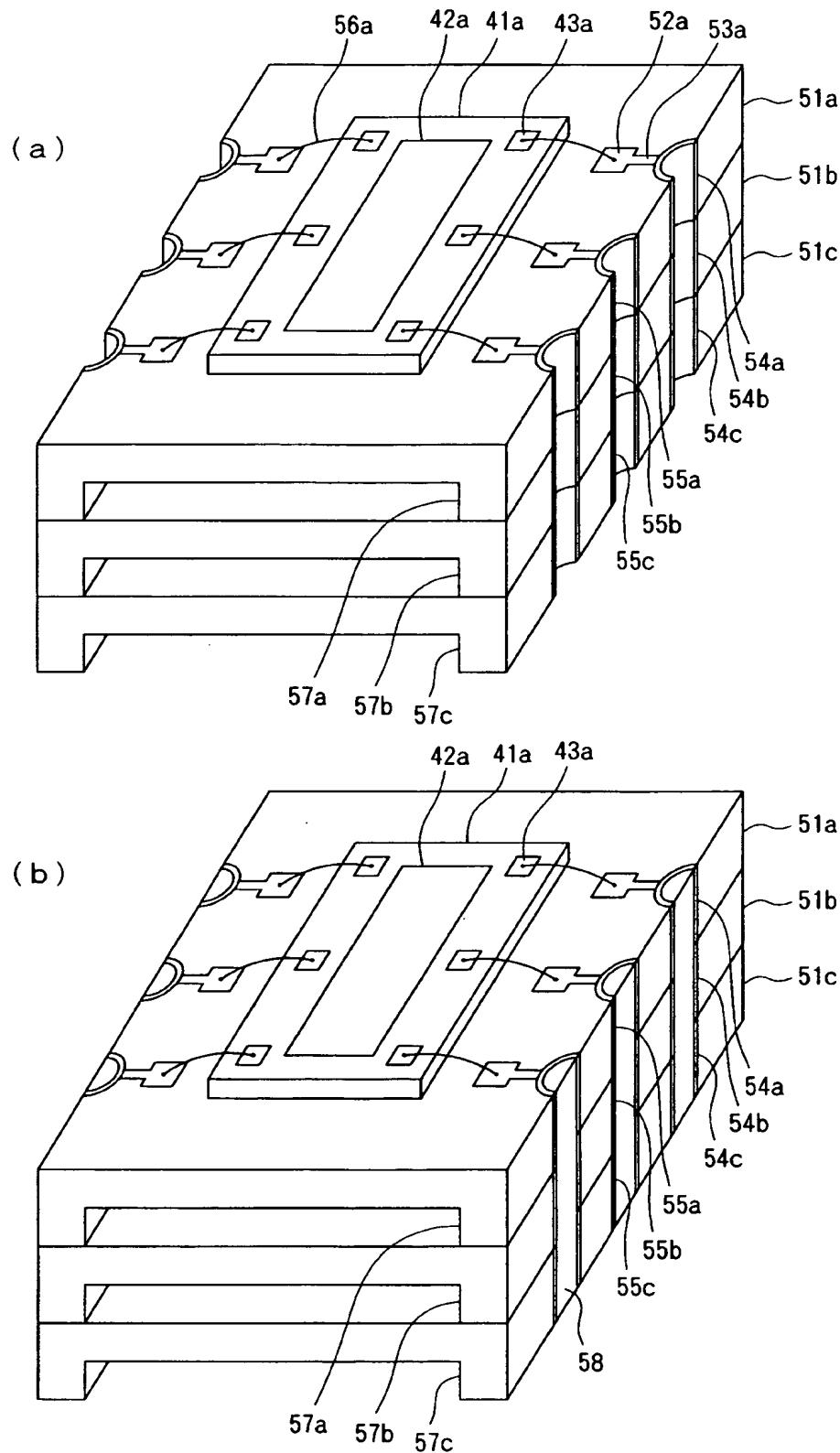
【図 7】



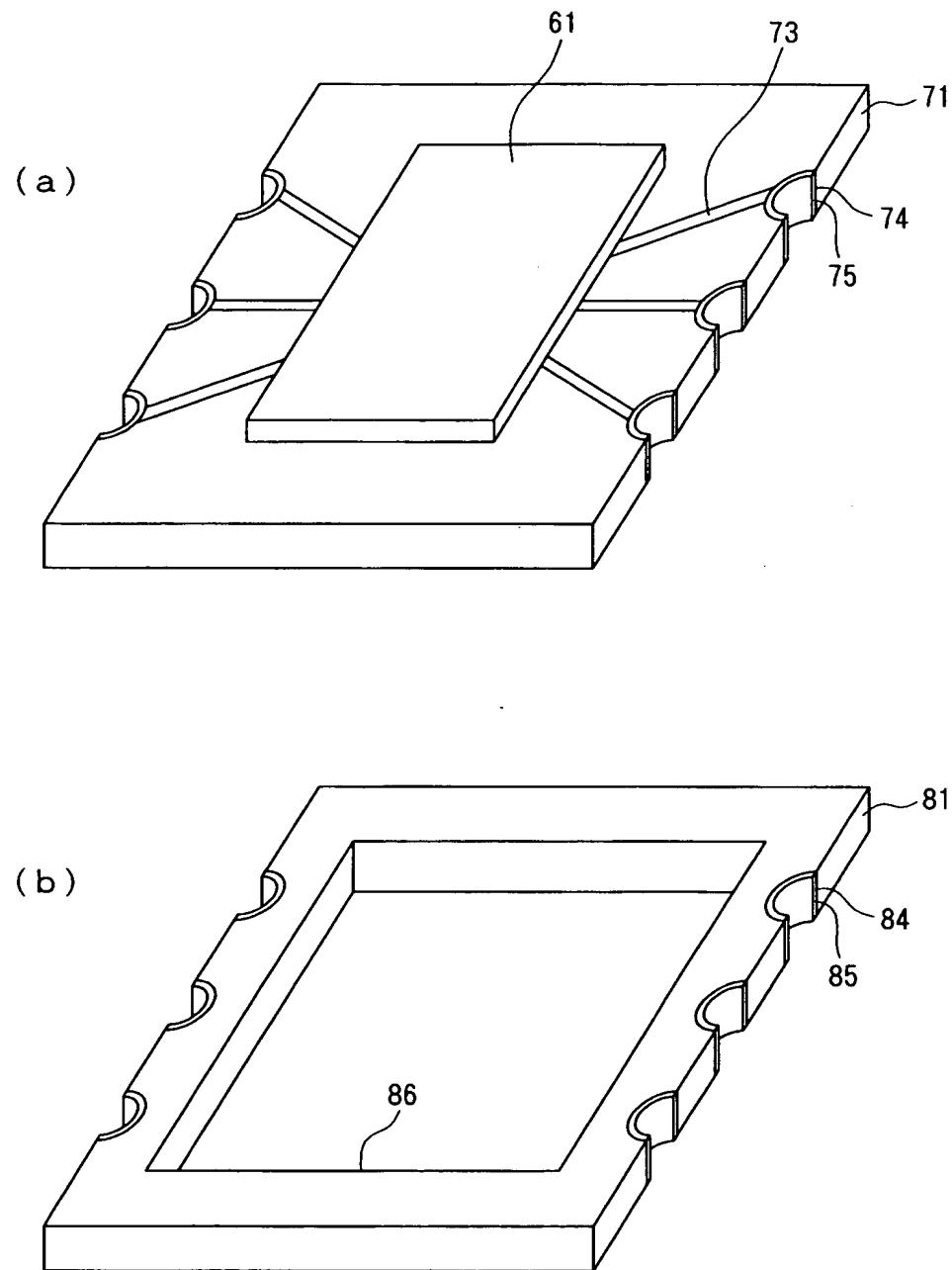
【図8】



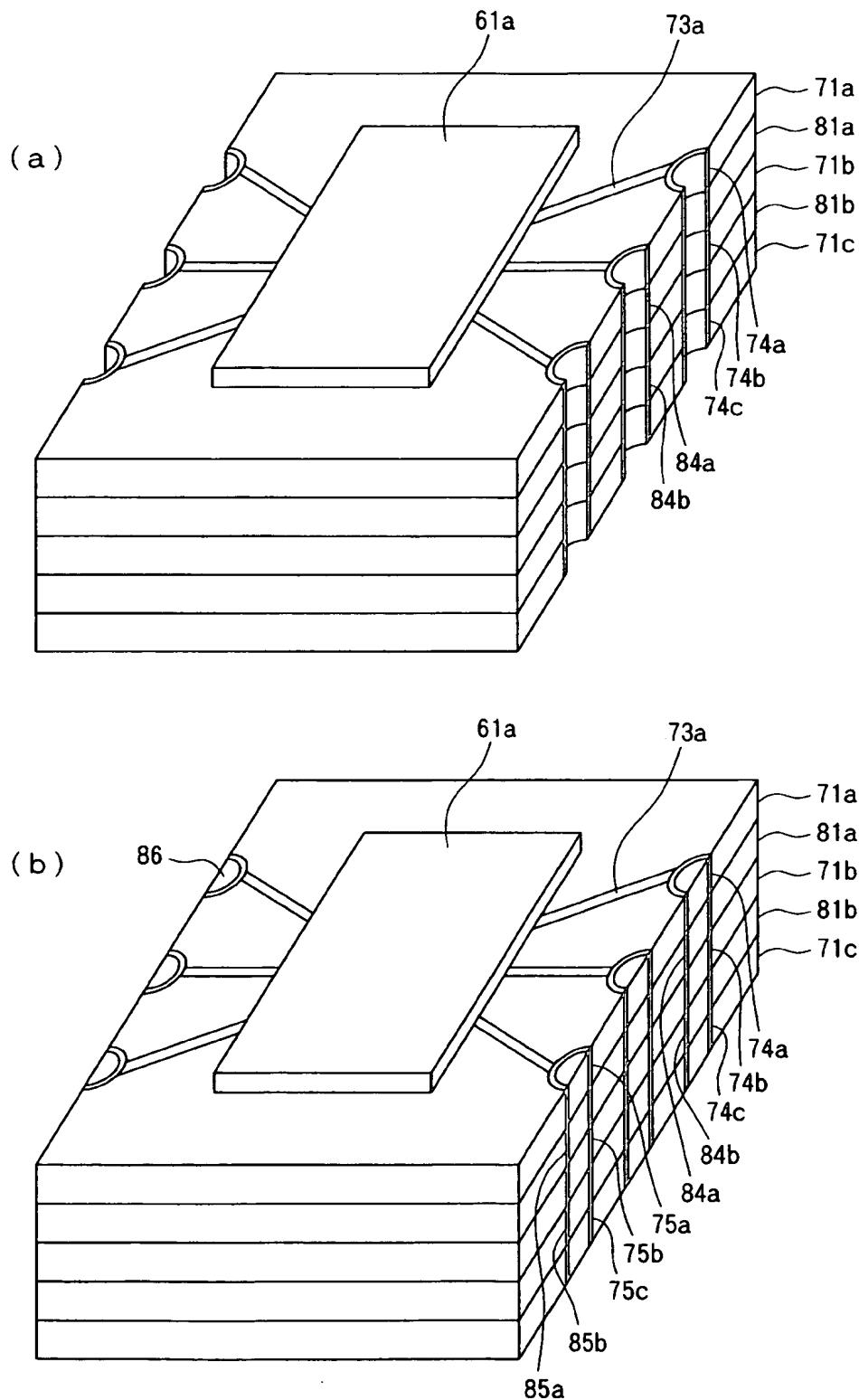
【図9】



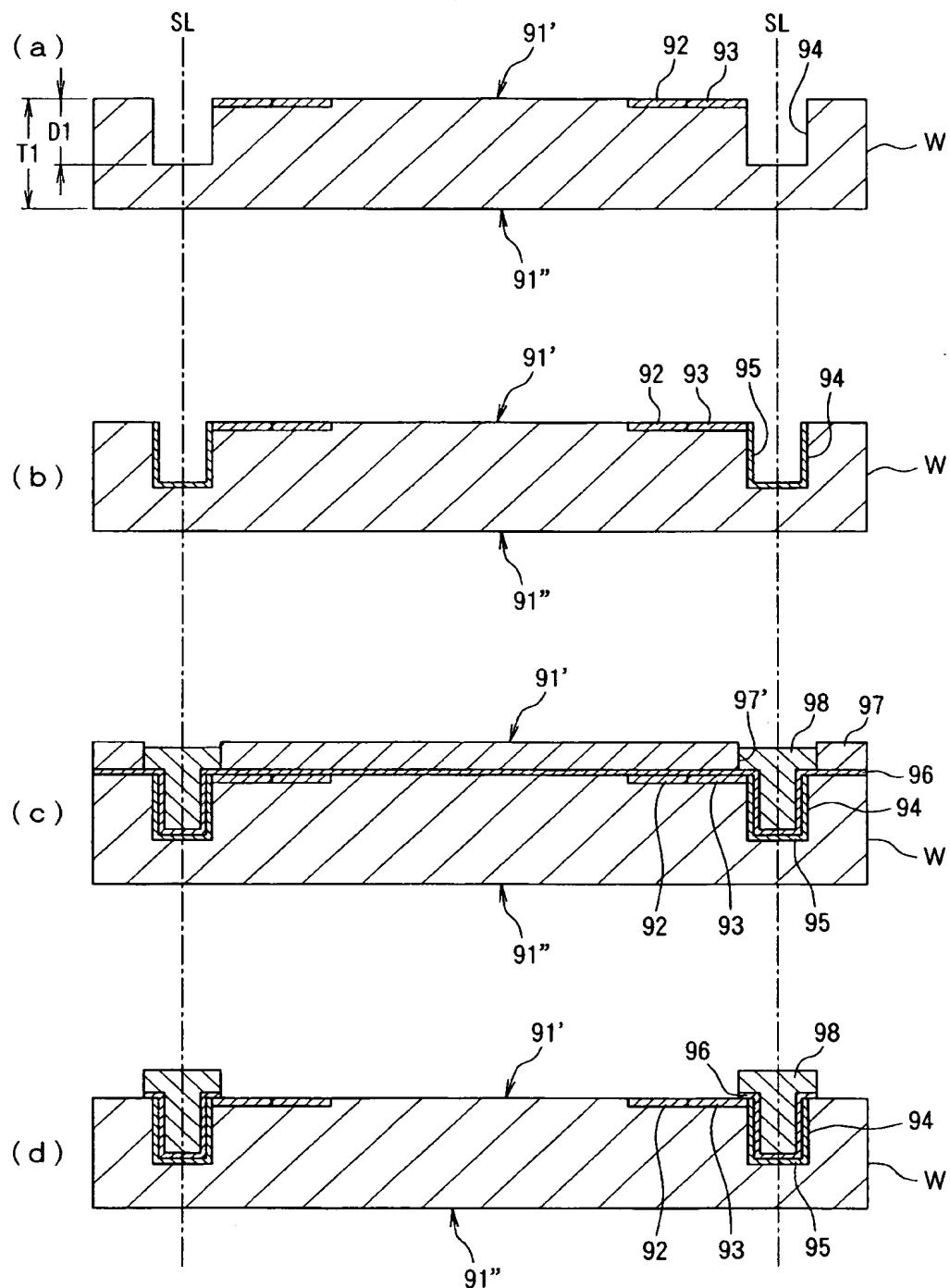
【図10】



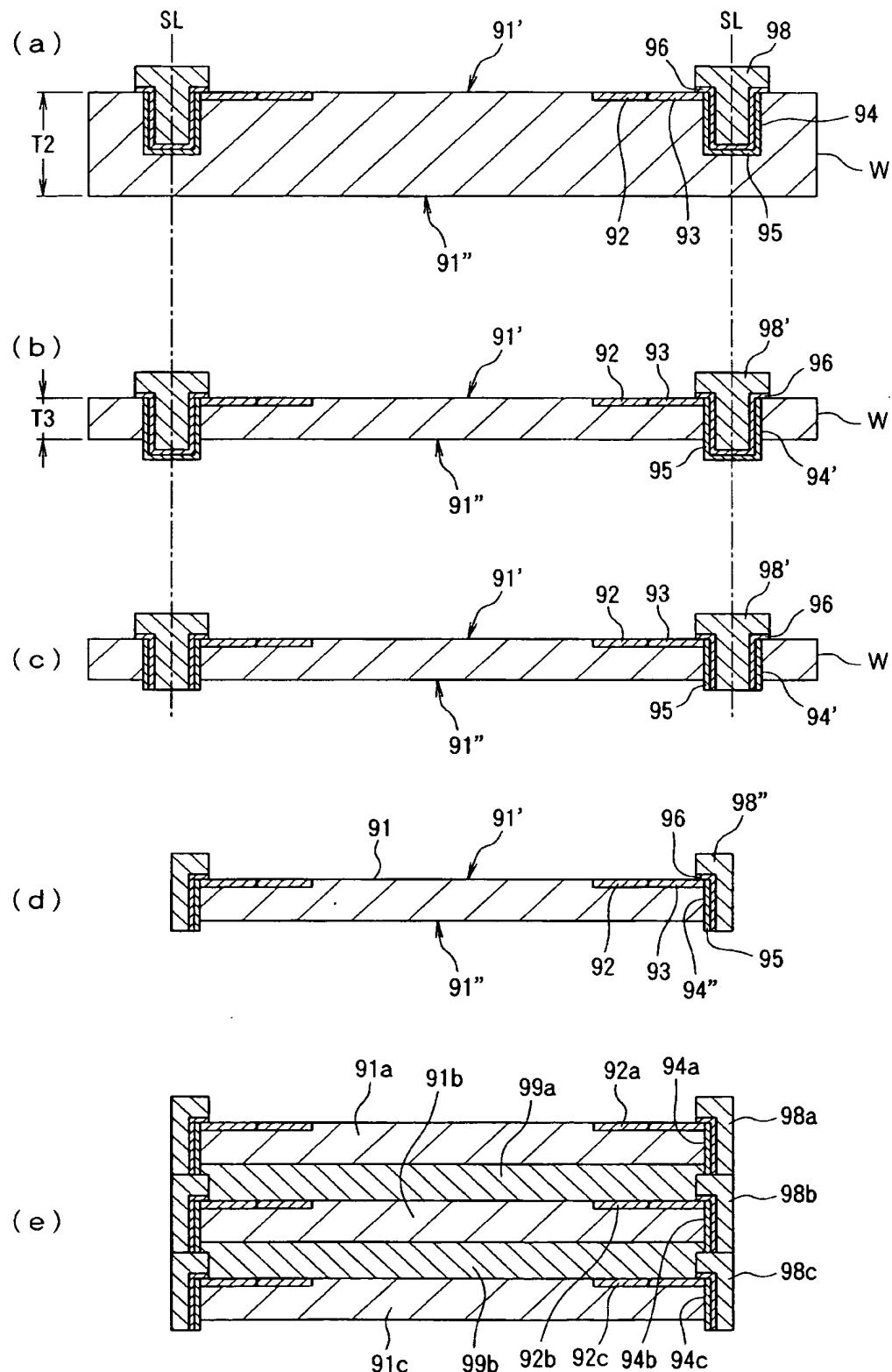
【図11】



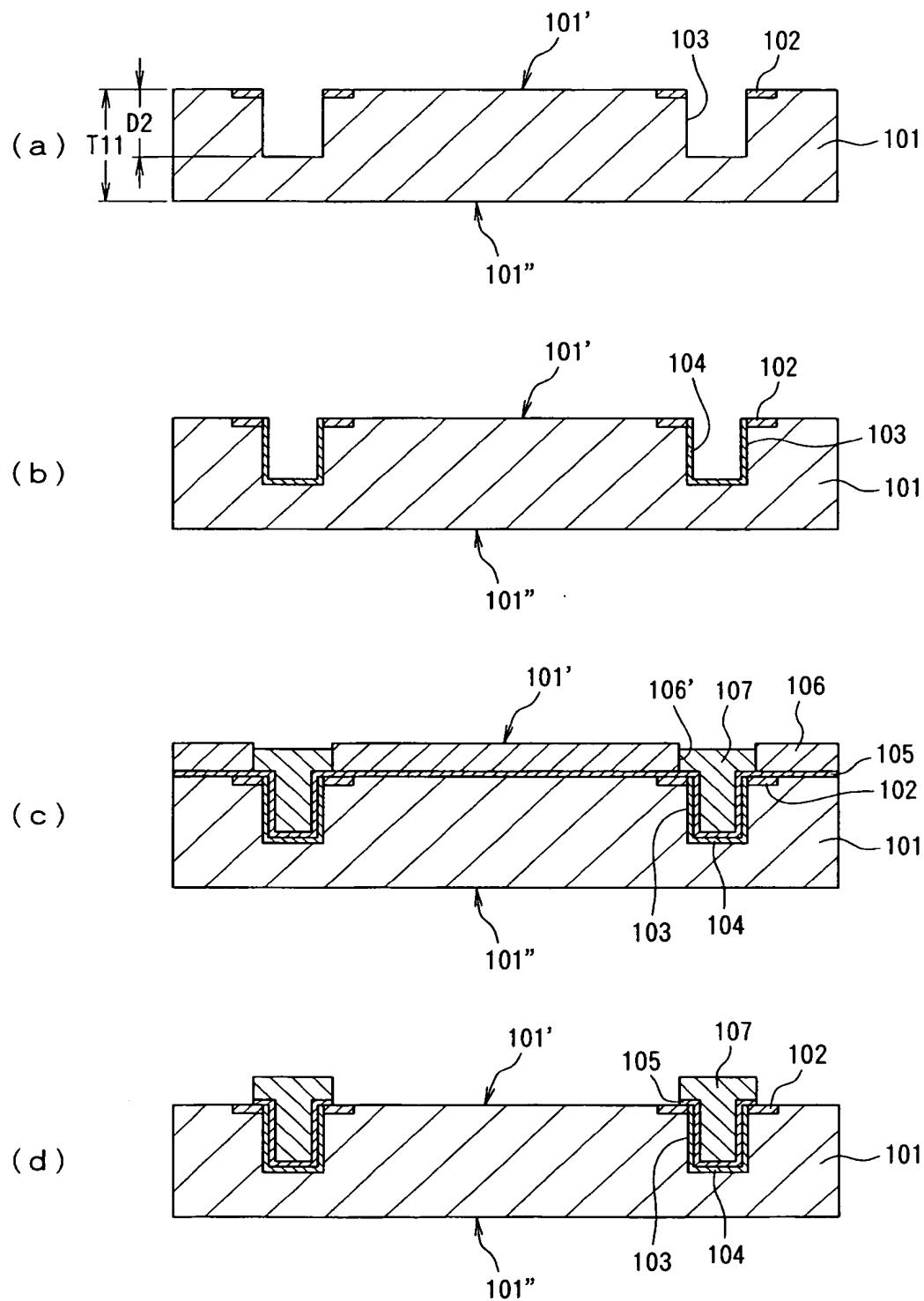
【図12】



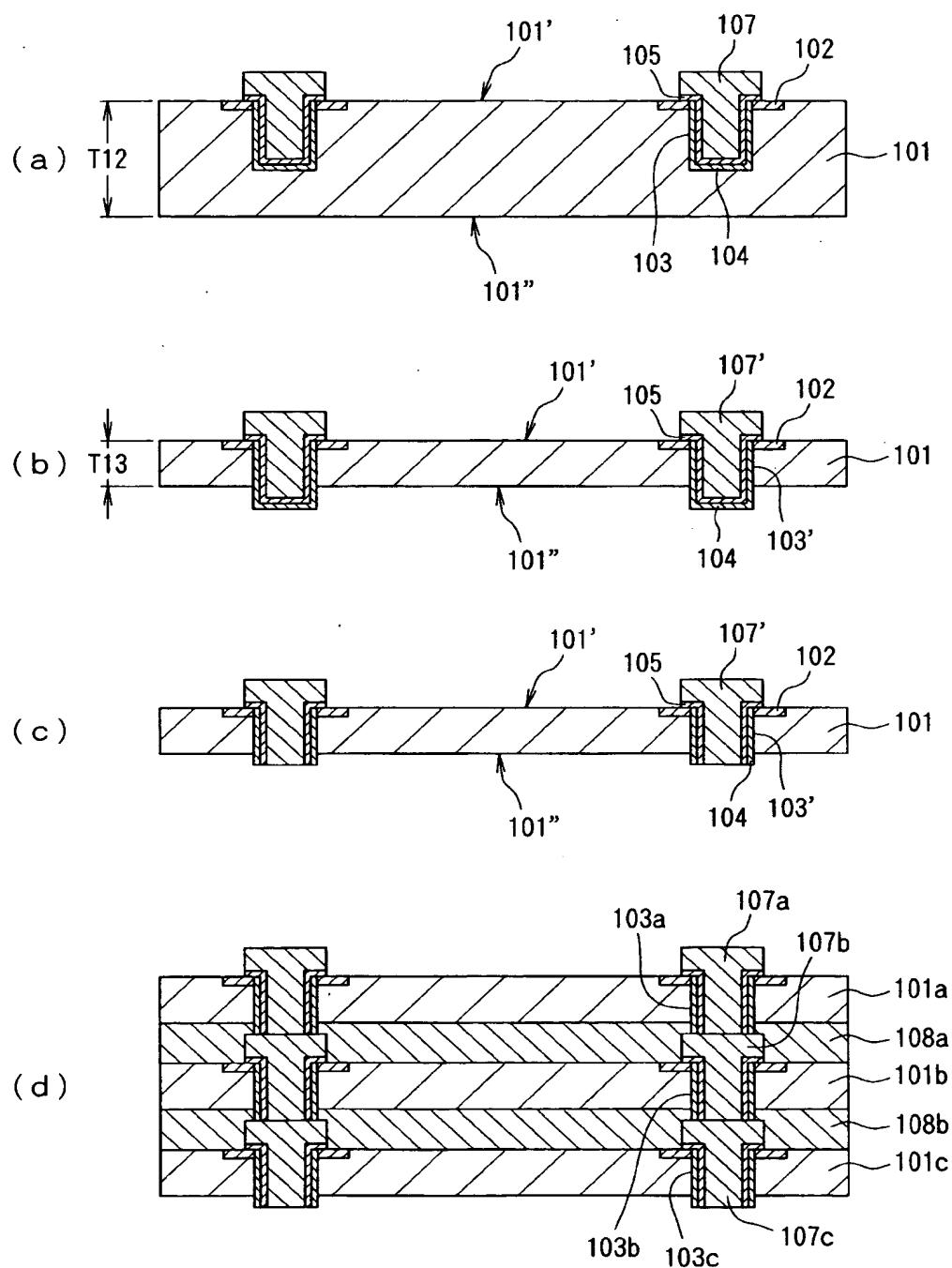
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 チップサイズの拡大を抑制しつつ、層間接続の信頼性を向上させる。

【解決手段】 半導体基板1a～1cのスクライブラインSLの位置に溝4a～4cを設け、半導体基板1a～1cを積層した後、半導体基板1a～1cの切断面に設けられた溝4a～4c内に導電材料11を充填する。

【選択図】 図4

特願 2003-007770

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社